

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09036087 A**

(43) Date of publication of application: **07.02.97**

(51) Int. Cl. **H01L 21/3065**
H01L 21/28

(21) Application number: **07181580**

(71) Applicant: **SONY CORP**

(22) Date of filing: **18.07.95**

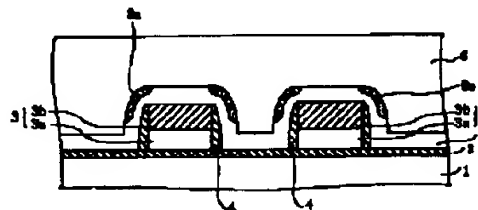
(72) Inventor: **YAMAGISHI NOBUHISA**

(54) ETCHING METHOD AND MANUFACTURE OF SEMICONDUCTOR DEVICE USING IT

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent the reduction in the film of a layer such as SiN(silicon nitride) of, for example, Si_3Ni which is an etching stopper layer of the ground of a layer to be etched and hence to prevent failure based on it from occurring.

SOLUTION: In an etching method in a structure where an etching stopper layer 5 is provided on a ground with a level difference such as a semiconductor substrate 1 having a gate electrode 3 and a layer 6 to be etched is formed on the stopper layer 5, etching retardant treatment such as inclination ion etching of, for example, a high-melt-point metal and C is performed to the peripheral part of the stopper layer 3 for etching.



BEST AVAILABLE COPY

L1: Entry 1 of 6

File: DWPI

Feb 7, 1997

DERWENT-ACC-NO: 1997-171542
DERWENT-WEEK: 199716
COPYRIGHT 2002 DERWENT INFORMATION LTD

TITLE: Semiconductor integrated circuit mfg. method - by performing etching processing of etching layer when difficult etching processing of ion implantation material e.g. refractory metal, carbon at shoulder section of etching blade layer is performed

PRIORITY-DATA: 1995JP-0181580 (July 18, 1995)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 09036087 A	February 7, 1997		011	H01L021/3065

INT-CL (IPC): H01 L 21/28; H01 L 21/3065

ABSTRACTED-PUB-NO: JP09036087A
BASIC-ABSTRACT:

The method involves using an etching blade latch layer (5) provided at the foundation provided with steps e.g. semiconductor silicon substrate (1) which has a gate electrode (3). An etching layer is formed at the blade latch layer.

Difficult etching processing of an implanted ion implantation material e.g. refractory metal, carbon is performed at the shoulder section of the etching blade layer to perform etching processing of the etching layer.

ADVANTAGE - Prevents thickness redn. of film e.g. silicon nitride of blade latch layer when performing alignment operation.

BEST AVAILABLE COPY

11 Model prediction of radical composition in C_4F_8 plasmas and correlation with measured etch characteristics of silicon dioxide.

AU Kazumi, H. (Res. Lab., Hitachi Ltd., Ibaraki, Japan); Hamasaki, R.; Tago, K.

SO Plasma Sources, Science and Technology (May 1996) vol.5, no.2, p.200-9. 10 refs.

Published by: IOP Publishing

Price: CCCC 0963-0252/96/020200+10\$19.50

CODEN: PSTEEU ISSN: 0963-0252

SICI: 0963-0252(199605)5:2L:200:MPRC;1-U

Conference: International Workshop on Plasma Sources and Surface Interactions in Materials Processing. Fuji-Yoshida, Japan, 20-22 Sept 1995

DT Conference Article; Journal

TC Practical

CY United Kingdom

LA English

AB A computational model for plasma chemical reactions has been developed.

An ab initio molecular orbital method was used to determine dissociation paths and their threshold energies. Plasma characteristics were calculated by a plasma kinetic method. The radical compositions in C_4F_8 , with additional gases such as Ar, He and CH_2F_2 , were calculated.

Radicals influencing the selective etching of SiO_2 over Si_3N_4 were analysed. With increased microwave power or decreased flow rate, CF_2 density decreased and CF, C and F densities increased. The increase of radicals with abundant carbon relative to fluorine would result in high etch selectivity of SiO_2 over Si_3N_4 and a low etch rate. Increases in the concentration of F radicals are correlated with increases in SiO_2 etch rates. Electron temperature was high with He addition, and dropped with C_4F_8 alone and Ar addition discharges. On the contrary, the electron density was high in the reverse order. The highest etch selectivity was obtained with He addition. A high electron temperature discharge would be one solution to obtain high etch selectivity of SiO_2 over Si_3N_4 .

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36087

(43) 公開日 平成9年(1997)2月7日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	21/3065		H 0 1 L	J
	21/28		21/28	U

審査請求 未請求 請求項の数8 O L (全 11 頁)

(21) 出願番号 特願平7-181580

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(22) 出願日 平成7年(1995)7月18日

(72) 発明者 山岸 信久

東京都品川区北品川6丁目7番35号 ソニー株式会社内

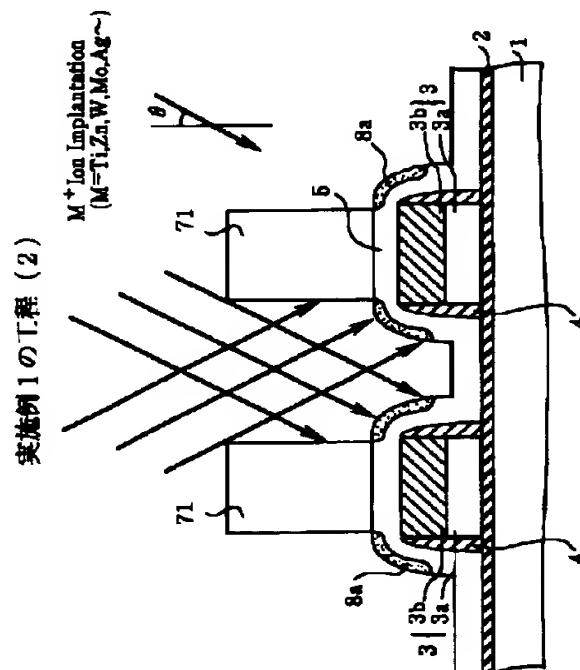
(74) 代理人 弁理士 高月 亨

(54) 【発明の名称】 エッチング方法及び該エッチング方法を用いた半導体装置の製造方法

(57) 【要約】

【目的】 被エッチング層の下地のエッチングストップ層である、 Si_3N_4 等の Si_3N_4 （シリコンナイトライド）膜等の肩の膜減りが生じず、よってこれに基づく不良の発生を防止したエッチング方法及び該エッチング方法を用いた半導体装置の製造方法を提供する

【構成】 ゲート電極3を有する半導体基板1等の、段差を有する下地5上にエッチングストップ層5を設け、該ストップ層5上に被エッチング層6を形成した構造のエッチング方法において、ストップ層3の肩部に、例えば高融点金属やC等の斜めイオン注入等の難エッチング化処理を施して、エッチングを行う



【特許請求の範囲】

【請求項1】段差を有する下地上にエッチングストップパー層を設け、該エッチングストップパー層上に被エッチング層を形成した構造をエッチングするエッチング方法において、

上記エッチングストップパー層の肩部に難エッチング化処理を施して、上記被エッチング層のエッチングを行うことを特徴とするエッチング方法

【請求項2】ゲート電極を有する下地上にエッチングストップパー層を設け、該エッチングストップパー層上に被エッチング層を形成して該被エッチング層を開孔することにより自己整合的に接続孔を形成するエッチング工程を有する半導体装置の製造方法において、

上記エッチングストップパー層の肩部に難エッチング化処理を施して、上記被エッチング層のエッチングを行うことを特徴とする半導体装置の製造方法

【請求項3】ゲート電極幅程度の開孔幅のコンタクトホールを自己整合的に加工するエッチング工程を備え、ゲート電極を被覆しているエッチングストップパー層の肩部分に、難エッチング化処理を施すことを特徴とする請求項2に記載の半導体装置の製造方法

【請求項4】エッチングストップパー層がシリコン窒化物から成り、被エッチング層がシリコン酸化物から成り、エッチングガスがフッ素系ガスにCOを添加したものであることを特徴とする請求項2に記載の半導体装置の製造方法

【請求項5】難エッチング化処理が、ゲート電極を被覆しているエッチングストップパー層の肩部分に、斜めイオン注入法によって、高融点金属をイオン注入、または、ミキシングすることで、高融点金属窒化膜または高融点金属ミキシング層を形成するものであることを特徴とする請求項2に記載の半導体装置の製造方法

【請求項6】エッチングストップパー層がシリコン窒化物から成り、金属ミキシング後の該エッチングストップパー層の肩部分が、その後の処理によって、アモルファスまたは結晶性を持つ高融点金属窒化膜を形成することを特徴とする請求項5に記載の半導体装置の製造方法

【請求項7】難エッチング化処理が、ゲート電極を被覆しているエッチングストップパー層の肩部分に、斜めイオン注入法によって、炭素をイオン注入、または、ミキシングすることで、カーバイド層またはCミキシング層を形成することを特徴とする請求項2に記載の半導体装置の製造方法

【請求項8】エッチングストップパー層がシリコン窒化物から成り、炭素ミキシング後の該エッチングストップパー層の肩部分が、その後の処理によって、アモルファスまたは結晶性を持つカーバイド層を形成することを特徴とする請求項2に記載の半導体装置の製造方法

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、エッチング方法及び該エッチング方法を用いた半導体装置の製造方法に関する。本発明は、例えば、半導体集積回路装置を製造する際の薄膜形成手段を改良した方法として利用でき、特にその場合のドライエッチング方法の改良技術として利用できる。本発明は、例えば Si_3N_4 上の酸化膜(SiO_2 、BPSG等)を選択的にエッチングする場合に好適に利用できる。

【0002】

【従来の技術】電子材料の分野、特に半導体装置の分野では、様々な技術的動向が見られており、例えば、現在のVLSI、ULSI等の高集積半導体回路で実現されている素子の高集積化、高密度化、及び、デバイスの高性能化、高速化について、これを更に高度な内容にするために、幾つかの技術的な方向が見い出されている。例示的には、高集積技術による素子寸法の微細化、デバイス構造、回路の改良、高密度技術によるシステムLSIの単品化などである。

【0003】これらの方向のなかで、特に、高集積技術による素子寸法の微細化を担うプロセス技術(ドライエッチング技術、CVD技術等)のプロセス特性上の性能向上が期待されている。

【0004】素子寸法の微細化のための高集積技術として、近年、セルフアライン技術(自己整合技術)が注目されている。このセルフアライン技術としては、サリサイド技術、セルフアラインコンタクトホール形成技術などがある。

【0005】セルフアラインコンタクトホール形成技術は、代表的には、フォトリソグラフィによるコンタクトホール開孔径以下の層間孔を、ゲート電極幅程度のソース/ドレイン領域に自己整合的に開孔する技術である。

【0006】この技術の利用される典型的なデバイス構造としては、ゲート電極上にエッチングストップパー層である Si_3N_4 が被覆し、次に、層間膜の SiO_2 、BPSGが成膜されたものが知られている。また、この技術に利用されているプロセスガスは、 $\text{C}_4\text{F}_8/\text{CO}$ 混合ガス系や、 CHF_3/CO 混合ガス系などが主流である。

【0007】この技術によって、フォトリソグラフィのコンタクトホール開孔の最小径に限界があり、あるいは含み合わせずれがある場合でも、ゲート電極幅程度の所望の領域にセルフアラインでコンタクトホールを開孔できる。

【0008】このようなセルフアラインコンタクトホール形成技術において、エッチングストップパー層とする Si_3N_4 膜に対して高選択比を持った SiO_2 エッチング、BPSGエッチングが実現できることを開示した例としては、特開平6-132252号が挙げられる。

【0009】

【発明が解決しようとする課題】上述したように、 CHF_3 ／ CO 混合ガス系などによるセルフアラインコンタクトエッチングは、素子寸法の微細化のための高集積技術としてセルフアライン加工を可能にする技術であるが、半導体集積回路装置の製造上、不利益な点を持つ以下これについて説明する

【0010】セルフアラインコンタクトを加工する構造としては、図13のようなものが一般的である

【0011】この構造では、ホリサイドゲート電極3（図示例ではホリ Si_3N_4 、 WSi_3b より成る）の側壁には、トランジスタ素子のLDD層を保護するための Si_3N_4 、 SiO_2 などのサイドウォール4が形成されている。このサイドウォール付きのゲート電極3を被覆するように、エッチングストッパ層として Si_3N_4 がCVD法で成膜されている。次に、層間絶縁膜6である SiO_2 、BPSGなどが成膜されている。その上に、フォトリソグラフィ法によって、コンタクトホールパターン7が、フォトリソにパターンニングされている。

【0012】この構造に、 CHF_3 ／ CO エッチングを実施した例は、図14のようなものが一般的である。VdCバイアスで加速された入射イオン CFx^+ の直進性により、開孔のハターン通りに異方性エッチングがなされている。

【0013】この例では、コンタクト底（C）とコンタクト側壁（B）では、対 Si_3N_4 高選択性をもつ選択的なBPSG、 SiO_2 エッチングが実現している。これは、入射イオンによるスパッタエッチングが少ないこと、酸化膜表面の $\text{Si}-\text{C}$ 層の形成、 CFx ホリマーの堆積が充分なことに起因している。一方、入射イオンに最も晒され易い、エッチングストッパ層5である Si_3N_4 薄膜の肩部分（A）は、堆積する $\text{Si}-\text{C}$ 、 CFx ホリマーが入射イオンの衝突で除去されてしまうため、 Si_3N_4 の肩が常に露出し、 Si_3N_4 がスパッタエッチングされる。よってここで Si_3N_4 の膜減りが発生している。

【0014】上述したように、エッチング条件を適性化しても、コンタクト最大深さ相当の充分なオーバーエッチングを実施した場合、エッチングストッパ層をなす Si_3N_4 の肩に膜減りが起き、ゲート電極の露出したコンタクトになる。Wプラグを埋め込んだ時、層間配線がゲート電極と短絡し不良となる。従って、半導体集積回路装置の歩留まりの低下などの製造上の不利益が生じる。

【0015】本発明は上記従来技術の問題点を解決して、エッチングストッパ層である、 Si_3N_4 等の Si_3N （シリコンナイトライド）膜等の肩の膜減りが生じず、よってこれに基づく不良の発生を防止したエッチング方法及び該エッチング方法を用いた半導体装置の製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】上述した問題点を解決するため、本発明のエッチング方法及び該エッチング方法を用いた半導体装置の製造方法においては、次の技術手段をとる。

【0017】本発明に係るエッチング方法は、段差を有する下地1上にエッチングストッパ層を設け、該エッチングストッパ層上に被エッチング層を形成した構造をエッチングするエッチング方法において、上記エッチングストッパ層の肩部に難エッチング化処理を施して、上記被エッチング層のエッチングを行うことを特徴とするものである。

【0018】本発明の半導体装置の製造方法は、ゲート電極を有する下地1上にエッチングストッパ層を設け、該エッチングストッパ層上に被エッチング層を形成して該被エッチング層を開孔することにより自己整合的に（即ちセルフアラインで）接続孔を形成するエッチング工程を有する半導体装置の製造方法において、上記エッチングストッパ層の肩部に難エッチング化処理を施して、上記被エッチング層のエッチングを行うことを特徴とするものである。

【0019】この場合、ゲート電極幅程度の開孔幅のコンタクトホールを自己整合的に加工するエッチング工程を備え、ゲート電極を被覆しているエッチングストッパ層の肩部分に、難エッチング化処理を施す構成をとることができる。

【0020】また、エッチングストッパ層がシリコン窒化物から成り、被エッチング層がシリコン酸化物から成り、エッチングガスがフッ素系ガスに CO を添加したものをを用いる構成をとることができる。

【0021】本発明において、難エッチング化処理が、ゲート電極を被覆しているエッチングストッパ層の肩部分に、斜めイオン注入法によって、高融点金属（ Ti 、 Zn 、 W 、 Mo 、 Ag 等）をイオン注入、または、ミキシングすることで、高融点金属窒化膜または高融点金属ミキシング層を形成するものとする。ここで高融点金属窒化膜または高融点金属ミキシング層と称するのは、高融点金属とストッパ層を構成している例えば窒素とが必ずしも化学量論的に整合して形成されるとは限らず、その他の原子が混在することもあるので、これらを総称して表現するためである。

【0022】この場合には、金属ミキシング後の Si_3N_4 の肩部分が、その後の処理、例えば層間絶縁膜の被覆、リフロー熱処理によって、アモルファスまたは結晶性を持つ高融点金属窒化膜を形成する構成とすることができる。

【0023】本発明において、難エッチング化処理が、ゲート電極を被覆しているエッチングストッパ層の肩部分に、斜めイオン注入法によって、炭素をイオン注入、または、ミキシングすることで、シリコンカーバイド

ド(SiC)層等のカーバイド層またはCミキシング層を形成する構成とすることができる。ここでカーバイド層またはCミキシング層と称するのは、Cとストッパー層を構成している例えばシリコンとが必ずしも化学量論的に整合して形成されるとは限らず、その他の原子が混在することもあるので、これらを総称して表現するためである。

【0024】また、炭素ミキシング後のSi₃N₄の肩部分が、その後の処理、例えば層間絶縁膜の被覆、リフロー熱処理によって、アモルファスまたは結晶性を持つカーバイド層(例えばSiC)を形成する構成とすることができる。

【0025】

【作用】本発明によれば、被エッチング層の下のエッチングストッパー層の肩部に難エッチング化処理、例えば高融点金属の導入あるいは炭素の導入を行って、この肩部のエッチングの進行が遅くなるようにしたので、被エッチング層のエッチングの際に、エッチングストッパー層の肩部がエッチングされてしまうことが防止でき、よって膜減りは生じてしまうことが防止できる。

【0026】例えば、エッチングストッパー層としてSi₃N₄を代表的なものとするシリコンナイトライドを用い、被エッチング層としてSiO₂やBPSGを用いる場合、本発明においては、対Si₃N₄高選択性を持つSiO₂、BPSGエッチングでは、エッチングストッパー膜であるSi₃N₄の肩部分に、極く浅い金属窒化膜(または、金属ミキシング層)を形成した構造を持つ、あるいは、極く浅いSiC薄膜(または、Cミキシング層)を形成した構造を持つので、この極く浅い金属窒化膜(または、金属ミキシング層)は、入射イオンのスハッタリングに対してより強固なものであり、あるいはこの極く浅いSiC薄膜(または、Cミキシング層)上には、入射イオンのスハッタリングと競合し得る効果的なCF_xポリマーの堆積があり(含C層と親和性があるからである)、スハッタエッチングが停止し、従って、選択的にストッパーSi₃N₄膜が残り、自己整合性を持ったコンタクトホールが容易に開孔する。

【0027】先にも述べたように、従来技術であるマグネトコンエッチャーなどによるCHF₃/COケミストリーなどを利用した、対Si₃N₄高選択性をもつSiO₂、BPSGエッチングでは、ゲート電極幅の領域に自己整合的にコンタクトを開孔させることはできるが、エッチングストッパーであるSi₃N₄の肩部分に膜減り(Si₃N₄エッチング)が起きる。このエッチング不良で電気的な短絡、半導体集積回路装置の歩留まりの低下などの不利益が生じる。

【0028】従来からのストッパーSi₃N₄膜のみを持つ構造を用いた場合、このSi₃N₄の肩部分は、入射イオンに最も晒され易く、CF_xポリマーが除去されてしまうため、Si₃N₄のスハッタエッチングが進

み、膜減りを防止することは困難である。プロセスマージンのにも懸念的をもつ。

【0029】本発明においては、この金属窒化膜(金属ミキシング層)をもつ肩部分のSi₃N₄等は、入射イオンによるCF_xポリマー除去によって、その表面が常に露出している。しかし、高融点金属窒化膜(または、ミキシングされた金属層)が表層に存在し、金属に対するCF_xイオンのスハッタ効率が、Si、SiO₂、Si₃N₄と比較して低いために、スハッタエッチングの進行が遅くなり(または、Si₃N₄のエッチング反応が抑えられ)、よってこれが金属ミキシング層の下層のSi₃N₄の保護膜として有効に働く。

【0030】この金属ミキシング層は、例えば、斜めイオン注入法によって肩部分全てを被覆するように形成することができ、このようにすると効果的である。従って本発明を用いれば、コンタクト最大深さ相当のオーバーエッチングを実施した際にも、金属ミキシング層とストッパー層である例えばSi₃N₄膜が残り、所望のセルフアラインコンタクトホールを容易に加工することができる。

【0031】あるいは本発明においては、難エッチング化層であるカーバイド層例えばSiC薄膜(Cミキシング層)をもつ肩部分のSi₃N₄等は、やはり、入射イオンCF_xに晒されているが、炭素Cがミキシングされているため、このSi-C結合上に、入射イオンのスハッタと競合し得るCF_xポリマーの堆積が充分促進し、スハッタエッチングの進行が抑制または停止する。CF_xポリマーは、Si-C結合上に親和性を持って連続的に堆積するからである。従ってこれが、Cミキシング層(例えばSiC層)の下層のSi₃N₄等の保護膜として有効に働く。

【0032】このCミキシング層は、斜めイオン注入法によって肩部分全てを被覆するように形成することができ、このようにすることが効果的である。従って、コンタクト最大深さ相当のオーバーエッチングを実施した際にも、Cミキシング層とストッパー層である例えばSi₃N₄膜が残り、所望のセルフアラインコンタクトホールを容易に加工することができる。

【0033】

【発明の実施の形態】以下本発明の実施例について、詳述する。但し当然のことではあるが、本発明は以下述べる実施例により限定を受けるものではない。

【0034】実施例1

以下に本発明の一実施例として、本発明に係るエッチングストッパーであるここではSi₃N₄の肩部分に金属ミキシング層(または、高融点金属窒化膜)を持つ、BPSG/(金属ミキシング層・Si₃N₄)構造についてのセルフアラインコンタクトホールの加工方法について、図1ないし図7を参照して説明する。

【0035】本実施例は、段差を有する下地(本実施例

ではゲート電極3を有する半導体基板1)上にエッチングストッパー層5を設け(図1)、該エッチングストッパー層5上に被エッチング層6を形成した構造(図3ないし図6に示す)のエッチング方法において、上記エッチングストッパー層3の肩部に難エッチング化处理(ここでは図2に示す斜めイオン注入を用いた処理)を施して、上記被エッチング層6のエッチングを行う。

【0036】本実施例は、ゲート電極3を有する下地1)上にエッチングストッパー層5を設け、該エッチングストッパー層5上に被エッチング層6を形成して該被エッチング層6を開孔することにより自己整合的に(セルフアラインで)接続孔9(図5参照)を形成するエッチング工程を有する半導体装置の製造方法において、上記エッチングストッパー層5の肩部に難エッチング化处理を施して(図2参照)、上記被エッチング層6のエッチングを行う。

【0037】この場合、本実施例では、ゲート電極幅程度の開孔幅のコンタクトホールを自己整合的に加工するエッチング工程を備え、ゲート電極3を被覆しているエッチングストッパー層5の肩部分に、難エッチング化处理を施す態様とする。

【0038】また本実施例では、エッチングストッパー層5がシリコン窒化物から成り、被エッチング層6がシリコン酸化物から成り、エッチングガスがフッ素系ガスにCOを添加したものをを用いる。

【0039】本実施例の半導体装置の製造方法は、難エッチング化处理が、ゲート電極3を被覆しているエッチングストッパー層5の肩部分に、斜めイオン注入法によって、高融点金属(Ti, Zn, W, Mo, Ag等)をイオン注入、または、ミキシングすることで、高融点金属窒化膜(ミキシング層)8aを形成する。

【0040】この場合、金属ミキシング後のストッパー層5であるSi₃N₄の肩部分(符号8aで示す)が、その後の層間絶縁膜の被覆、リフロー熱処理によって、アモルファスまたは結晶性を持つ高融点金属窒化膜を形成することを可能としたものとなっている。

【0041】更に詳しくは、本実施例では、次の工程を行う。図1を参照する。被処理ウエハを構成するSi基板1)上には、ゲート酸化膜2などに用いられるSiO₂薄膜2と、その上に、ポリサイド(WSi₃b/ポリSi₃aなど)構造をなすゲート3、及びLDD保護用のSi₃N₄サイドウォール4などが、従来技術のCVD成膜、フォトリソグラフィ、ドライエッチングにより所望の加工寸法、形状で微細加工されている。続いて、Si₃N₄薄膜をエッチングストッパー層5として、CVDによって全面被覆している。Si₃N₄の厚さは、~100(nm)程度である。

【0042】続いて、ゲート電極パターンと同様のパターンレジスト71を再度、フォトリソグラフィによって形成する。この構造で、図2に示すように、斜めイオン注入法により、高融点金属イオンをミキシング(イオン注入)する。

【0043】ここでのイオン注入は、低中加速電圧による高ドーズ(中ドーズ)量の注入である。低中加速イオン注入によって、エッチングストッパー層5であるSi₃N₄の極く浅い上層に限って、ミキシング層を形成する。このミキシング層は、その後のBPSGリフロー熱処理で、高融点金属窒化層になる。このミキシング層を符号8aで示す。

【0044】このときのイオン注入条件を以下に示す。ここでは下記のように、Ti⁺をイオン注入した。

加速電圧 7~60keV

Ti⁺ 1E14~1.6cm⁻²

温度 室温または昇温注入

ここで、極く浅いミキシング層の厚さ(Rp・ΔRp)は、8.0~45.0(nm)とする。ウエハへのイオンは、通常の入射角θ₀に対して、10~60°の範囲で斜方からイオン注入される。イオン注入後、レジストは、アッシング、硫酸-過酸化水素水混合液処理などによって剥離される。

【0045】続いて、被エッチング層6としてBPSG膜をCVD及びリフロー熱処理にて成膜し、ゲート電極領域などのウエハ全面を平坦化する(図3)。この状態で、フォトリソグラフィによるコンタクトホールパターンのレジスト72を形成する(図4)。

【0046】更に、この被処理ウエハに対して、マグネトロンエッチャーを用いたCF₃/COケミストリーによる対Si₃N₄高選択比を持つSiO₂エッチングを実施する。BPSGなどの層間絶縁膜は、Vcdバイアスで加速されたCF_x⁺イオンによるイオンアシストエッチングによって、速やかにエッチングされる(図5)。

【0047】このBPSGエッチングが進行し、肩部分のストッパーSi₃N₄層(符号8aで示す部分)が表面に露出した時、CF_xイオンなどのイオン衝突、スパッタリングを受けるが、符号8aで示す高融点金属ミキシング層、または、高融点金属窒化層を肩表面に持つ本構造では、金属のスパッタ効果が低いために、表面のスパッタエッチングが進行しない。従って、ストッパーSi₃N₄である保護膜として残る。

【0048】対Si₃N₄高選択比を持つBPSGエッチング条件(CF₃/CO/ArケミストリーによるマグネトロンRIE)は、本実施例では下記のとおりとした。

圧力 P=8(Pa)

RFパワー Pf=1200(W)

プロセスガス CF₃/CO/Ar 1.0/5.0/24.0(sccm)

バックリング用ガス	He : 1.0 (Pa) , 1.0 (sccm)
静電チャック	1.2 (kV)
下部電極の温調温度	20 (°C)
チェンバー壁温度	80 (°C)
BPSG膜厚	410 (nm/min) : 8.7 (%)
対Si ₃ N ₄ 選択比	1.8

【0049】従来技術では、イオン衝突で容易にスパッタエッチングされた肩部分のSi₃N₄が、本発明のエッチング技術では、コンタクト最大深さを見積ったオーバーエッチングを実施した際にも、この金属ミキシングされたSi₃N₄（符号8aで示す部分）が残る。従って、自己整合性を持った、ソース／ドレイン領域のコンタクトホールエッチングが形成できる。

【0050】ストッパー層5のSi₃N₄が、ミキシング層8aの存在により最後まで残膜を持つため、選択的なSiO₂のコンタクトエッチングが実現する。これによりゲートコンタクト（Wフラグ）短絡不良がない加工が実現できた。

【0051】なお、本実施例について、本発明の高融点金属窒化層（金属ミキシング層）を持つ、ストッパーSi₃N₄薄膜によるBPSGセルフアラインコンタクトホールエッチング（CHF₃／COケミストリー対Si₃N₄高選択比のSiO₂エッチング）では、本発明の内容を逸脱しない範囲で、その変形が可能である。

【0052】以上、詳細に説明したように、本実施例の如く高融点金属ミキシング層を斜めイオン注入によって、形成した高融点金属ミキシング層を肩部分に持つストッパーSi₃N₄構造のコンタクトホールエッチング（CHF₃／COケミストリー）では、ストッパー層の肩部分のエッチングを進行させることなく、ゲート電極幅程度のソース／ドレイン領域にセルフアラインコンタクトを微細加工できる。

【0053】かつ本実施例によれば、ストッパーSi₃N₄が必要な膜厚に残るため、ゲートコンタクト（Wフラグ）短絡不良も、耐圧不良も起こさない。

【0054】従来技術では、これらの電氣的不良からウエハ製造上の歩留まりの低下があったのに対して、この実施例では、この歩留まり低下が抑えられ、さらに、素子自体の品質、性能の向上した半導体集積回路装置を製造できる。

【0055】実施例2

以下に本発明の他の実施例として、エッチングストッパーであるSi₃N₄の肩部分にCミキシング層（または、アモルファスもしくは結晶性SiC薄膜）を持つ、BPSG／（Cミキシング層-Si₃N₄）構造のセルフアラインコンタクトホールの加工方法を説明する（図7ないし図12を参照する）。

【0056】本実施例の半導体装置の製造方法では、難エッチング化処理として、ゲート電極を被覆しているエッチングストッパー層5の肩部分に、斜めイオン注入法

によって、炭素をイオン注入、または、ミキシングすることによって、カーバイド層（またはCミキシング層）8bを形成する（図8参照）。

【0057】また、炭素ミキシング後のSi₃N₄の肩部分8bが、その後の層間絶縁膜の被覆、リフロー熱処理によって、アモルファスまたは結晶性を持つカーバイド層（SiC）を形成することを可能としたものとなっている。

【0058】更に詳しくは、本実施例では、次の工程を行う（図7を参照する）。被処理ウエハを構成するSi基板には、ゲート酸化膜などに用いられるSiO₂薄膜2と、その上に、ポリサイド電極3（WSix3b／ポリSi3aなど）、及び、LDD保護用のSi₃N₄サイドウォール4などが、従来技術のCVD成膜、フォトリソグラフィ、ドライエッチングにより所望の加工寸法、形状で微細加工されている。続いて、エッチングストッパー層5としてSi₃N₄薄膜を、CVDによって全面被覆している。Si₃N₄の厚さは、～100（nm）程度である。

【0059】続いて、ゲート電極パターンと同様のパターンでレジスト71を再度、フォトリソグラフィによって形成する。この構造で、斜めイオン注入方により、炭素イオンをミキシング（イオン注入）する（図8参照）。

【0060】イオン注入は、低加速電圧による高ドーズ（中ドーズ）量の注入である。低加速イオン注入によって、Si₃N₄の極く浅い上層に限ってミキシング層8bを形成する。本実施例においては、このミキシング層8bは、その後のBPSGリフロー熱処理で、アモルファスまたは結晶性を持つSiC層になる。

【0061】本実施例におけるこの場合のイオン注入の注入条件を、以下に示す。

加速電圧	5～30keV
C ⁺	1E14～1E16cm ⁻²
温度	室温または昇温注入

（極く浅いミキシング層の厚さ（Rp+ΔRp）は、30.0～100.0（nm））

被処理ウエハへのイオンは、通常の人射角0°（垂直入射）に対して、10～60°の範囲で斜方からイオン注入される。イオン注入後、レジストは、アッシング、硫酸・過酸化水素水混合液処理などによって、剥離される。

【0062】続いて、被エッチング層としてBPSG膜をCVD及びリフロー熱処理にて成膜し、ゲート電極領

域などのウエハ全面を平滑化する(図9)。この状態で、フォトリソグラフィによるコンタクトホールパターンレジスト72を形成する(図10)。

【0063】更に、この被処理ウエハに対して、マグネトロネッチャーを用いた CHF_3/CO ケミストリーによる対 Si_3N_4 高選択比を持つ SiO_2 エッチングを実施する。BPSGなどの層間絶縁膜は、Vcdバイアスで加速された CF_x^+ イオンによるイオンアシストエッチングによって、速やかにエッチングされる。

【0064】このBPSGエッチングが進行し、肩部分のストッパ Si_3N_4 層(符号8bで示す部分)が表

圧力	P = 8 (Pa)
RFパワー	Pf = 1200 (W)
プロセスガス	$\text{C}_4\text{F}_8/\text{CO}/\text{Ar}$ = 10/50/240 (sccm)
バックング用ガス	He = 10 (Pa), 10 (sccm)
静電チャック	1, 2 (kV)
下部電極の温調温度	20 (°C)
チャンバー壁温度	80 (°C)
BPSG膜厚	410 (nm/min) = 8, 7 (%)
対 Si_3N_4 選択比	18

【0066】従来技術では、イオン衝突で容易にスパッタエッチングされた肩部分の Si_3N_4 が、本発明のエッチング技術では、コンタクト最大深さを見積ったオーバーエッチングを実施した際にも、このCミキシングされた Si_3N_4 薄膜(符号8bで示す部分)が残る。従って、自己整合性を持った、ソース/ドレイン領域のコンタクトホールエッチングが形成できる。

【0067】ストッパ層5の Si_3N_4 が、ミキシング層8bの存在により最後まで残膜を持つため、選択的な SiO_2 のコンタクトエッチングが実現する。これによりゲートコンタクト(Wプラグ)短絡不良がない加工が実現できた。

【0068】この Si_3N_4 の残膜は、続いて連続的に、 CHF_3/O_2 ケミストリーからなる Si_3N_4 RIEエッチングによって除去され、コンタクトホール9が完全に開孔することはいうまでもない。

【0069】なお本実施例において、本発明のアモルファスまたは結晶性 SiC 層(Cミキシング層)を持つ、ストッパ Si_3N_4 薄膜によるBPSGセルフアラインコンタクトホールエッチング(CHF_3/CO ケミストリーの対 Si_3N_4 高選択比の Si_3N_4 エッチング)では、本発明の内容を逸脱しない範囲で、その変形が可能である。例示的には、本発明の斜めイオン注入による炭素イオン注入が、レジストマスクの無い全面注入(斜入射角0°即ち垂直入射)であってもよい。

【0070】以上、詳細に説明したように、本実施例によればCミキシング層を斜めイオン注入法によって形成したアモルファスまたは結晶性 SiC 層(BPSGリフト処理で $\text{Si}-\text{C}$ 結合ができる)を肩部分に持つストッパ Si_3N_4 構造のコンタクトホールエッチング

面に露出した時、 CF_x^+ イオンなどのイオン衝突、スパッタリングを受けるが、Cミキシング層、または、アモルファスまたは結晶性 SiC 層8bを肩表面に持つ本構造では、 $\text{Si}-\text{C}$ 結合時に CF_x ポリマーが親和性を持って十分に堆積するため、表面のスパッタエッチングが進行しない。従って、ストッパ Si_3N_4 である保護膜として残る。

【0065】対 Si_3N_4 高選択比を持つBPSGエッチング条件($\text{C}_4\text{F}_8/\text{CO}/\text{Ar}$ ケミストリーによるマグネトロネッチャー)は、本実施例では下記のとおりとした。

(CHF_3/CO ケミストリー)では、ストッパ層の肩部分のエッチングを進行させることなく、ゲート電極幅程度のソース/ドレイン領域にセルフアラインコンタクトを微細加工できる。

【0071】また本実施例によれば、ストッパ Si_3N_4 が必要な膜厚で残るため、ゲートコンタクト(Wプラグ)短絡不良も、耐圧不良も起こさない。

【0072】従来技術では、これらの電氣的不良からウエハ製造上の歩留まりの低下があるのに対し、本発明の実施例では、この歩留まりの低下が抑えられ、更に、素子自体の品質、性能の向上した半導体集積回路を製造できる。

【0073】

【発明の効果】本発明のエッチング方法及び該エッチング方法を用いた半導体装置の製造方法によれば、セルフアラインコンタクト形成を行う際にもストッパ膜層の膜減りが生じず、よってこれに基づく不良の発生を防止することができた。

【図面の簡単な説明】

【図1】 実施例1の工程を順に示すものである(1)

【図2】 実施例1の工程を順に示すものである(2)

【図3】 実施例1の工程を順に示すものである(3)

【図4】 実施例1の工程を順に示すものである(4)

【図5】 実施例1の工程を順に示すものである(5)

【図6】 実施例1の工程を順に示すものである

(6)

【図7】 実施例1の工程を順に示すものである

(1)

【図8】 実施例2の工程を順に示すものである

(2)

【図9】 実施例2の工程を順に示すものである

(3)

【図10】 実施例2の工程を順に示すものである

(4)

【図11】 実施例2の工程を順に示すものである

(5)

【図12】 実施例2の工程を順に示すものである

(6)

【図13】 従来技術を示す断面図である (1)

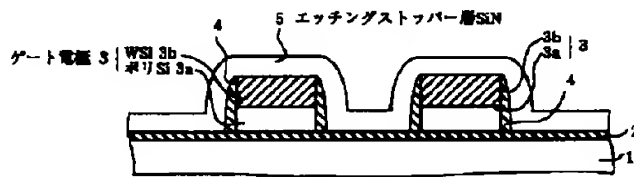
【図12】 従来技術を示す断面図である (2)

【符号の説明】

- 1 Si基板
- 2 熱酸化膜 (SiO_2)
- 3 Wポリサイドゲート電極
- 4 LDD形成用途のサイドウォール (Si 、 N_4 、 SiO_2)
- 5 エッチングストッパー (Si 、 N_4)
- 6 層間絶縁膜 (BPSG)
- 7 コンタクトパターンのレジスト
- 8a 金属ミキシング層、または、金属窒化層
- 8b 炭素ミキシング層、または、アモルファスもしくは結晶性SiC層

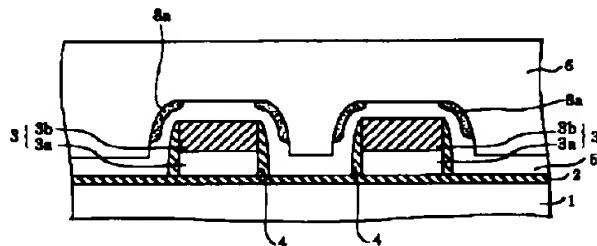
【図1】

実施例1の工程 (1)



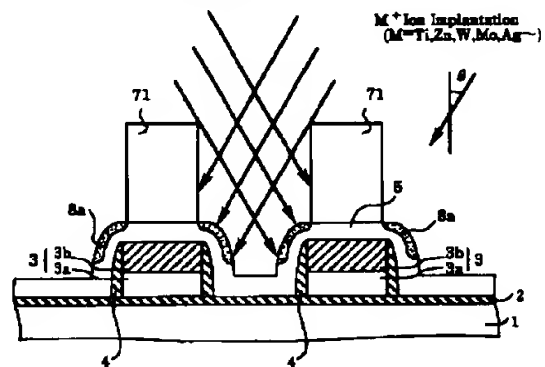
【図3】

実施例1の工程 (3)



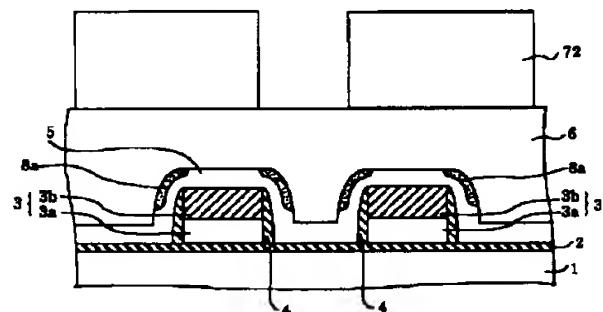
【図2】

実施例1の工程 (2)



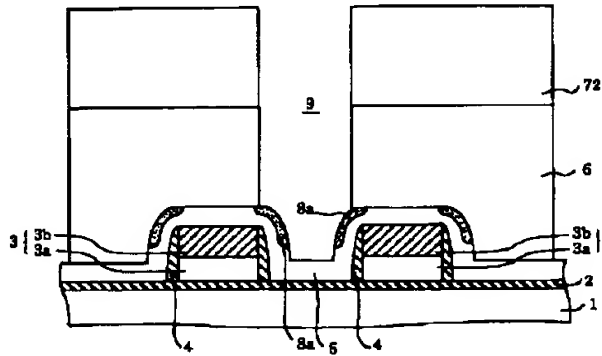
【図4】

実施例1の工程 (4)



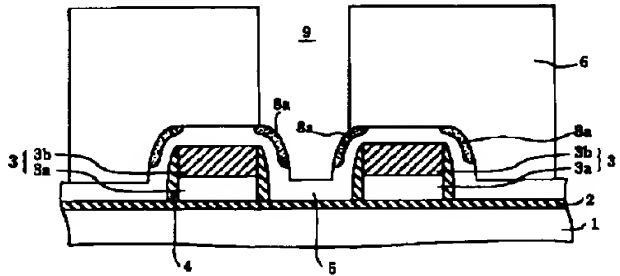
【図5】

実施例1の工程(5)



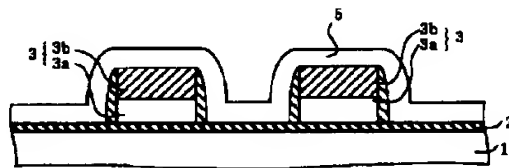
【図6】

実施例1の工程(6)



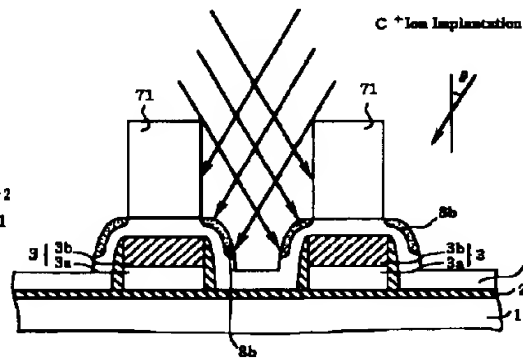
【図7】

実施例2の工程(1)



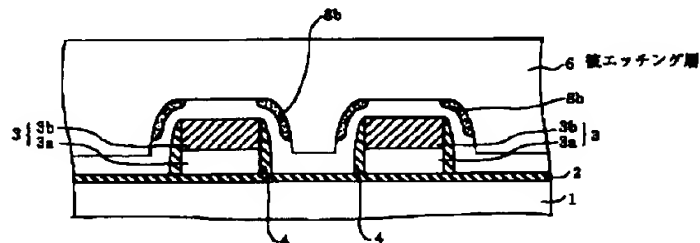
【図8】

実施例2の工程(2)



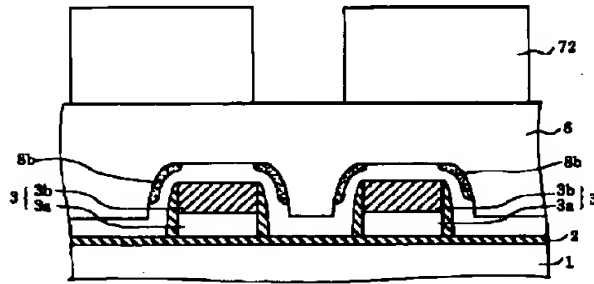
【図9】

実施例2の工程(3)



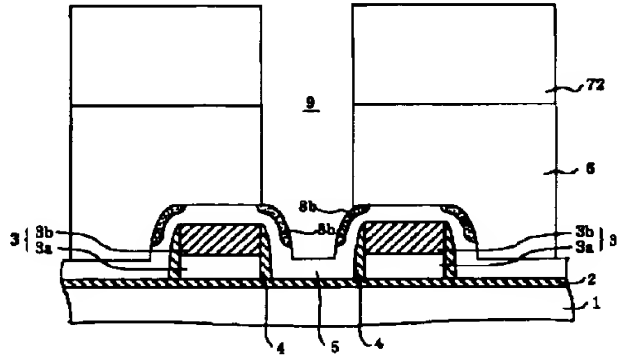
【図10】

実施例2の工程(4)



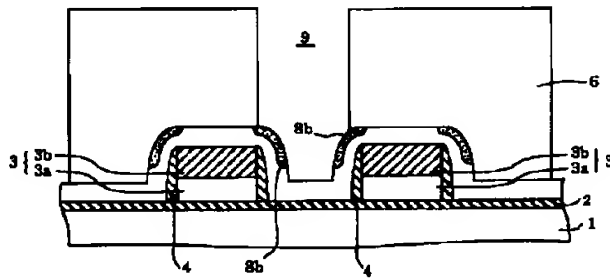
【図11】

実施例2の工程(5)



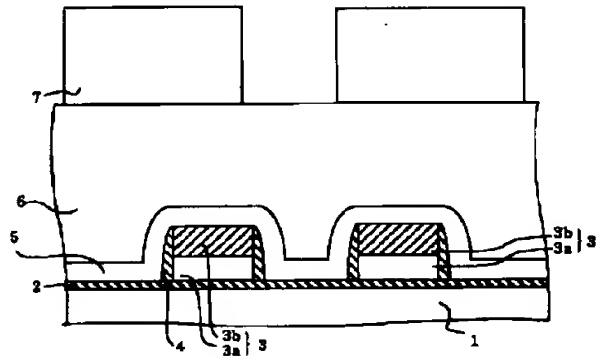
【図12】

実施例2の工程(6)



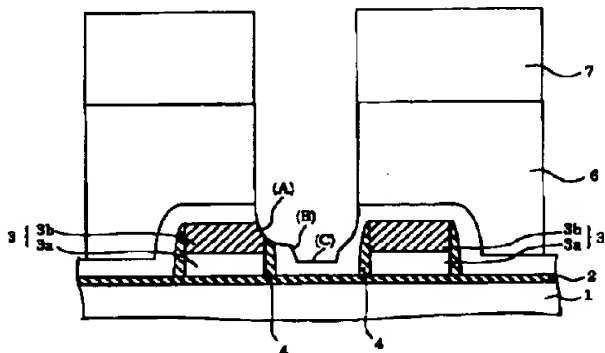
【図13】

従来技術を示す図(1)



【図14】

従来技術を示す図(2)



【手続補正書】

【提出日】平成7年11月17日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】 実施例1の工程を順に示すものである
(1)

【図2】 実施例1の工程を順に示すものである
(2)

【図3】 実施例1の工程を順に示すものである
(3)

【図4】 実施例1の工程を順に示すものである
(4)

【図5】 実施例1の工程を順に示すものである
(5)

【図6】 実施例1の工程を順に示すものである
(6)

【図7】 実施例1の工程を順に示すものである
(1)

【図8】 実施例2の工程を順に示すものである
(2)

【図9】 実施例2の工程を順に示すものである
(3)

【図10】 実施例2の工程を順に示すものである
(4)

【図11】 実施例2の工程を順に示すものである
(5)

【図12】 実施例2の工程を順に示すものである
(6)

【図13】 従来技術を示す断面図である (1)

【図14】 従来技術を示す断面図である (2)

【符号の説明】

- 1 Si基板
- 2 熱酸化膜 (SiO₂)
- 3 Wポリサイドゲート電極
- 4 LDD形成用途のセイドウォール (Si₃N₄, SiO₂)
- 5 エッチングストッパー (Si₃N₄)
- 6 層間絶縁膜 (BPSG)
- 7 コンタクトハターンのレジスト
- 8 a 金属ミキシング層、または、金属窒化層
- 8 b 炭素ミキシング層、または、アモルファスもしくは結晶性SiC層